

**Espacenet****Bibliographic data: JP 2002519847 (A)**

Thin substrate layers, especially thin IC chips, are produced from two bonded substrates

Publication date: 2002-07-02

Inventor(s):

Applicant(s):

Classification: international: H01L21/20; H01L21/301; H01L21/306; H01L21/3063; (IPC1-7): H01L21/20; H01L21/301; H01L21/306
- european: H01L21/20B2; H01L21/3063

Application number: JP20000556397T 19990622

Priority number (s): DE19981027717 19980622; WO1999DE01826 19990622

Also published as:
• DE 19840421 (A1)
• US 6417075 (B1)
• EP 1090422 (A1)
• WO 9967820 (A1)

Abstract not available for JP 2002519847 (A)

Abstract of correspondent: DE 19840421 (A1)

A thin substrate layer is produced from two bonded substrates (1, 2) having interface channel recesses (5) for etchant penetration. A thin substrate layer is produced by: (a) bonding two substrate front faces using one or more intermediate bonding layers (3, 4), at least one of the bonding layers or the front face of one of the substrates (1, 2) having channel-like recesses (5) which allow sideways penetration of an etchant; (b) thinning one substrate (1) down to a substrate layer (1a); and (c) detaching the substrate layer from the other substrate (2) by introducing etchant into the recesses. An independent claim is also included for a substrate structure resulting from step (a) of the above process.

Last updated: 26.04.2011 Worldwide Database 5 7 23.1; 92p

(19)日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11)特許出願公表番号

特表2002-519847

(P2002-519847A)

(43)公表日 平成14年7月2日(2002.7.2)

(51)Int.Cl. H 01 L 21/306 21/20 21/301	識別記号 F I H 01 L 21/20 21/306 21/78	F I H 01 L 21/20 21/306 B S P	マークド(参考) 5 F 0 4 3 5 F 0 5 2
---	--	--	------------------------------------

審査請求 未請求 予備審査請求 有 (全 30 頁)

(21)出願番号 (86)(22)出願日 (85)翻訳文提出日 (86)国際出願番号 (87)国際公開番号 (87)国際公開日 (31)優先権主張番号 (32)優先日 (33)優先権主張国 (81)指定国	特願2000-556397(P2000-556397) 平成11年6月22日(1999.6.22) 平成12年12月21日(2000.12.21) PCT/DE99/01826 WO99/67820 平成11年12月29日(1999.12.29) 1998.2.7.717.2 平成10年6月22日(1998.6.22) ドイツ(DE) EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), CA, JP, US
---	--

(71)出願人 (72)発明者 (72)発明者 (74)代理人	フランホファー ゲセルシャフトツール フェルデルンク ダー アンゲヴァン テン フォルシュンク エー. ファオ. ドイツ連邦共和国 ディー-80636ミュン ヘン、レオンロトショトラーゼ 54 ハベルゲル, カール ドイツ連邦共和国 ディー-82152 ブラ ネク, アー, ビューテナント シュトラ ーゼ 2 ブレトネル, アンドレアス ドイツ連邦共和国 ディー-82340 フェ ルダフィン, レネ シュトラーゼ 5 弁理士 平木 裕輔 (外1名)
最終頁に続く	

(54)【発明の名称】薄い基層の製造方法

(57)【要約】

本発明は薄い基層、特に集積回路を具備することができる薄い半導体領域の製造方法に関する。本方法においては2つの基板(1,2)の前面が単数個又は複数個の介在する結合層(3,4)によって結合される。結合層の少なくとも1つ又は一方の基板の前面に溝状凹陥部(5)が形成されるように、あらかじめパターンを形成する。この溝状凹陥部がエッティング剤の横からの浸透を可能にする。生じるウエハ重積物を片側から、所望の層厚を残して薄くする。最後にエッティング剤を溝状凹陥部に入れることによって、この薄い層を残りの基板から剥離する。この剥離過程は、チップ及びその上に集積された貴重な産物に危害を及ぼさない安価な湿式化学処理である。

【特許請求の範囲】

【請求項 1】 - 第1の基板(1)及び第2の基板(2)の前面を単数個又は複数 個の介在する結合層(3 4)で結合し その際結合層(3 4)の少なくとも1つ又 は一方の基板(1 2)の前面が溝状凹陥部(5)を有し この溝状凹陥部がエッティング剤の横からの浸透を可能にし、
- 基層(1a)を残して、第1の基板(1)を背面から薄くし、
- エッティング剤を溝状凹陥部(5)に入れることによって基層(1a)を第2の基板(2)から剥離する
薄い基層の製造方法。

【請求項 2】 しま模様の形の溝状凹陥部(5)を作製することを特徴とする請求項1に記載の方法。

【請求項 3】 格子構造の形の溝状凹陥部(5)を作製することを特徴とする請求項1に記載の方法。

【請求項 4】 溝状凹陥部(5)が結合層(3 4)を完全に貫通するようにして、溝状凹陥部(5)を結合層(3 4)に作製することを特徴とする請求項1ないし3のいずれか1つに記載の方法。

【請求項 5】 0.1ないし10μm²の範囲の横断面を有する溝状凹陥部(5)を作製することを特徴とする請求項1ないし4のいずれか1つに記載の方法。

【請求項 6】 50μm未満の厚さを有する基層(1a)を残して 第1の基板(1)を薄くすることを特徴とする請求項1ないし5のいずれか1つに記載の方法。

【請求項 7】 溝状凹陥部(5)が基板(1 2)の縁端まで伸張しないため、溝状凹陥部(5)が2つの基板の間に形成する間隙が基板の結合によって密封されるよう、溝状凹陥部(5)を作製することを特徴とする請求項1ないし6のいずれか1つに記載の方法。

【請求項 8】 2つの基板の間に複数個の閉じた内部区域が形成され これらの内部区域が密封されるように 溝状凹陥部(5)を作製することを特徴とする請求項1ないし7のいずれか1つに記載の方法。

【請求項 9】 第1の基板(1)として半導体基板を使用することを特徴とする請求項1ないし8のいずれか1つに記載の方法。

【請求項10】第2の基板(2)として石英基板を使用することを特徴とする請求項1ないし9のいずれか1つに記載の方法。

【請求項11】第1及び第2の基板(1,2)としてBESO1ウエハの2つの部分基板を使用し、結合層(3,4)がBESO1ウエハの絶縁層であることを特徴とする請求項1ないし9のいずれか1つに記載の方法。

【請求項12】基層(1a)に部品及び／又は集積回路(6)を作るための処理を、剥離の前に基層(1a)に施すことを特徴とする請求項9ないし11のいずれか1つに記載の方法。

【請求項13】結合された基板(1a,2)を剥離の前に、個別回路(6)を有する小さなユニット特にチップに分割することを特徴とする請求項12に記載の方法。

【請求項14】結合された基板(1a,2)を剥離の前に、チップ1個又は複数倍の列幅と複数個のチップないし全基板幅の列長さを有する小さな列状のユニットに分割することを特徴とする請求項12に記載の方法。

【請求項15】剥離の前に基層(1a)の個々の集積回路(6)の間に特にのこぎり切り口の形の垂直の開口又は深溝(7)を作り、これを経てエッチング剤を送入することを特徴とする請求項1ないし12のいずれか1つに記載の方法。

【請求項16】結合層(3,4)が酸化物層又はSiC層であることを特徴とする請求項1ないし15のいずれか1つに記載の方法。

【請求項17】酸化物層として純粋な又はドープした形のSiO₂特にBSG又はBPSGからなる絶縁層を使用することを特徴とする請求項16に記載の方法。

【請求項18】エッティング剤としてフッ化水素酸又は主としてフッ化水素酸を含むエッティング液を使用することを特徴とする請求項1ないし17のいずれか1つに記載の方法。

【請求項19】エッティング剤としてエッティングに適したガス又は2つの基板の間の空洞で電界の印加によって燃焼するプラズマを使用することを特徴とする請求項1ないし17のいずれか1つに記載の方法。

【請求項20】2つの基板(1,2)の結合を特殊なガスの存在でボンディング操作により、このガスが溝状凹陥部(5)に封入されるようにして行なうことを特徴と

する請求項1ないし19のいずれか1つに記載の方法。

【請求項21】不活性ガス又は酸化ガス又は還元ガスを使用することを特徴とする請求項20に記載の方法。

【請求項22】結合部の密封検査に適したガス 特にヘリウムを単独で又は混合物として使用することを特徴とする請求項20に記載の方法。

【請求項23】基板を結合するときに溝状凹陥部(5)にシリコンドーピング用のガス 例えばPH₃ POCl又はB₂H₆を封入することを特徴とする請求項20に記載の方法。

【請求項24】エッチング剤を圧力により溝状凹陥部(5)に通すことを特徴とする請求項1ないし23のいずれか1つに記載の方法。

【請求項25】結合層によって連結された2つの基板に化学反応を生じさせる電流によって剥離を促進することを特徴とする請求項1ないし24のいずれか1つに記載の方法。

【請求項26】超音波 热及び／又は遠心力によって剥離を促進し、かつ加速することを特徴とする請求項1ないし25のいずれか1つに記載の方法。

【請求項27】溝状凹陥部(5)の横に整列された面の全部又は一部を金属含有化合物の作用により薄い金属膜で被覆することを特徴とする請求項1ないし26のいずれか1つに記載の方法。

【請求項28】熱分解する金属有機化合物により、又は無電解もしくは電解析出により被覆を行なうことを特徴とする請求項27に記載の方法。

【請求項29】单数個又は複数個の介在する結合層(3-4)によって前面が結合された第1(1)及び第2の基板(2)からなる基板配列において、結合層(3-4)の少なくとも1つ又は一方の基板の前面が溝状凹陥部(5)を有し、溝状凹陥部(5)がエッチング剤の横からの浸透及び凹陥部の間の結合層の急速な食刻を可能にする横断面及び相互間隔を有する基板配列。

【請求項30】溝状凹陥部(5)がしま模様をなすことを特徴とする請求項29に記載の基板配列。

【請求項31】溝状凹陥部(5)が格子構造をなすことを特徴とする請求項29に記載の基板配列。

【請求項 3 2】溝状凹陥部(5)が結合層(3 4)を完全に貫通することを特徴とする請求項29ないし31のいずれか1つに記載の基板配列。

【請求項 3 3】溝状凹陥部(5)が0.1ないし10 μm^2 の範囲の横断面を有することを特徴とする請求項29ないし32のいずれか1つに記載の基板配列。

【請求項 3 4】溝状凹陥部(5)が基板(1 2)の縁端まで伸張しないため、溝状凹陥部が2つの基板の間に形成する間隙が密封されていることを特徴とする請求項29ないし33のいずれか1つに記載の基板配列。

【請求項 3 5】複数個の閉じた内部領域が2つの基板の間に生じるよう溝状凹陥部(5)が形成され、これらの内部領域が密封されていることを特徴とする請求項29ないし34のいずれか1つに記載の基板配列。

【請求項 3 6】第1の基板(1)が半導体基板であることを特徴とする請求項29ないし35のいずれか1つに記載の基板配列。

【請求項 3 7】第1の基板(1)が薄い基層(1a)を形成することを特徴とする請求項29ないし36のいずれか1つに記載の基板配列。

【請求項 3 8】基層(1a)が50 μm 未満の厚さを有することを特徴とする請求項37に記載の基板配列。

【請求項 3 9】第2の基板(2)が石英からなることを特徴とする請求項29ないし38のいずれか1つに記載の基板配列。

【請求項 4 0】基層(1a)が部品及び／又は集積回路(6)を具備することを特徴とする請求項37ないし39のいずれか1つに記載の基板配列。

【請求項 4 1】結合層(3 4)が酸化物層又はSiC層であることを特徴とする請求項29ないし40のいずれか1つに記載の基板配列。

【請求項 4 2】結合層(3 4)が純粋な又はドープした形のSiO₂、特にBSG又はBPSGからなる絶縁層であることを特徴とする請求項29ないし40のいずれか1つに記載の基板配列。

【請求項 4 3】溝状凹陥部(5)にガスを封入することを特徴とする請求項29ないし40のいずれか1つに記載の基板配列。

【請求項 4 4】ガスが不活性ガス又は酸化ガス又は還元ガスであることを特徴とする請求項43に記載の基板配列。

!(6) 002-519847 (P2002-519847A)

【請求項 4 5】ガスが基板の結合部の密封検査に適したガス 特にヘリウムであることを特徴とする請求項43に記載の基板配列。

【請求項 4 6】溝状凹陥部(5)にシリコンドーピング用のガス 例えばPH₃ POCl又はB₂H₆を封入することを特徴とする請求項43に記載の基板配列。

【請求項 4 7】溝状凹陥部(5)の横に整列された面の全部又は一部が薄い金属膜で被覆されていることを特徴とする請求項29ないし46のいずれか1つに記載の基板配列。

• 9 1232 開譜 2

圖 3-50 展示了在生產線的安裝點，每個滑輪需要放置 7~7.5 單位的力。這意味著每個滑輪的安裝點需要放置 7~7.5 單位的力。

1004

在19120公尺的高處，我們看見了。

④十分珍惜时间，努力学习，掌握过硬的本领，为公司的发展贡献自己的力量。

对于已广泛应用于基础设施建设的光纤通信技术而言，光纤在光缆中的位置至关重要。光纤的物理特性决定了光信号在光纤中的传播速度和衰减程度，从而影响着整个通信系统的性能。因此，在设计光缆时，必须充分考虑光纤的物理特性，并采取相应的措施来保证光纤的质量和稳定性。

16000

• 8 月 2 日于深水埗 26-32 號午睡後

如果IC有足够的半導体集成度，全集成音频接口比定制解决方案要经济得多。图10展示了
基于IC的全集成音频接口的框图。该框图展示了IC在音频链路中的多处应用。图中显示了
麦克风输入、数模转换器（DAC）、数模转换器（ADC）以及扬声器驱动器。IC还连接到功放、
低音炮和扬声器。图中还展示了IC与外部元件如电容、电感和电阻的连接。通过这些连接，
IC能够实现音频信号的放大、滤波和输出。

[3 0 0 0]

四庫全書

本院即時付与する旨の書類は、前記回送料金を算入して算出されたものである。

[T 0 0 0]

【明體字體範例】

(7) 002-519847 (P2002-519847A)

【0005】

加工済みウエハの減厚加工は研削によって行なうのが普通である。その場合ウエハの背面を研削ペーストと適当な研削剤支持体により機械的に除去して所望の残留厚さにする。単結晶物質としてのシリコンは切削加工することができない。それどころか研削の際に結晶性状に基づきいわゆる微小割れが生じ、工程管理が不適当ならばそれが部品領域まで延びて回路の機能を破壊する恐れがある。こうした事情から研削によって得られるシリコン基板の残留厚さは通常砥粒粒度の5ないし10倍に相当する厚さに限られている。

この問題の解決の可能性は、数百ナノメートルという極めて細かい砥粒を使用することにある。しかしこれは研削速度の大幅な減少をもたらすので減厚加工は非常に長い時間を必要とする。

【0006】

在来の研削工程で生じる残留厚さを下回るには、通常特に丁寧な研磨法を使用しなければならない。研削 濡式化学エッチング、いわゆる CMP (Chemical Mechanical Polishing [化学機械的研磨]) の利点を結び付けようとする適当な方法が、例えばBollmannら : Abstract No.2115, Proceedings, The Electrochemical Society Meeting, Paris 1997で発表された。その代案として湿式及び乾式エッティング法がテストされた。ところが後者は所要のレベルの摩滅率で基板とその上にある部品に高い熱負荷をもたらす。

【0007】

原則としてこれらの方法では、ウエハの減厚加工が回路の加工の後に行なわれる。減厚を生じる処理は、このようにチップ製造のすべての高価な産物が表面に集積するウエハで行なわれる所以である。従って不適正な減厚加工は歩留の減少と高い価値損失をもたらす。また装備した部品が(局部的) 残留厚さ測定の可能性を妨げるので、所望の残留厚さを順守することは困難である。

【0008】

高度に集積した高価な産物と複雑な厚さ測定を伴うウエハの減厚加工の問題の基本的な打開策は いわゆる SOI (Silicon On Insulator) ウエハを使用することである。SOIウエハは、表面下に埋設された通常 SiO_2 層の形の厚い絶縁層を有す

する。このようなSOIウエハの製造のための幾つかの方法がある(例えばW.P.Maszaraら:「主流であるCMOS[相補形金属酸化膜半導体]技術のためのSOI材料」、SOI Technology and Devices VIII、編集S. Christoloveanu、The Electrochemical Society Proceedings 97-23、1997年を参照)。これを以下で略述する。

【0009】

SOS法(Silicon On Saphire[シリコンオンサファイア法])では研磨した Al_2O_4 結晶の上にシリコン層をエピタキシャルに析出する。2つの材料の格子定数が近似的に等しいのでこれができる。ところが結晶質 Al_2O_3 ウエハを使用しなければならないからこの方法は極めて高価であり通常極度の高価格用途でしか使用できない。

【0010】

ZMR法(Zone Melting Recrystallisation[ゾーンメルティング再結晶法])では SiO_2 で被覆したウエハの上にポリシリコンを析出し、続いて局部的融解及び凝固処理により晶出する。ところがこのウエハの結晶品質 結晶粒度等は今日のCMOS技術の要求にもはや合致しない。

【0011】

SIMOX法(Separation by Implanted Oxygen[打込み酸素分離法])では高用量のイオン打込みがシリコンウエハの表面の直下に化学量論的 SiO_2 層を生じ工程管理が適当ならば、即ち打込みによって引き起こされた結晶損傷が回復すれば、この SiO_2 層がその上有る極めて薄い後に部品を担持するシリコン層を単結晶状態に保持する。

【0012】

BESOI法(Bonded Etched-Back SOI[[エッチバック結合式SOI]])では2個の酸化シリコンウエハを熱ボンディングと、それで生じる共有結合によって固着する。続いて2つのウエハの一方を有効厚さにまで再渡厚する。BESOI法の特殊な変法(スマートカット“Smartcut^(R)”又はイオンカットIoncut)は、イオン打込みによって生じた表面下の埋設層を実現することに基づいて、第2のウエハ(操作用ウエハ)に結合された有効層をこの埋設層から剥離するという特殊な減厚法を使用する。これは水素又はヘリウムの打込みで気泡を形成することにより(欧州

SOI为工人们的使用的制革机、头的做的皮革毛毛大毛皮毛程 期毛有制为工们的毛
口以下的理皮帽的实摸为本来的半革体技师的加工的前毛行家们毛毛毛毛毛毛毛
SOI为工们的使用的制革机、头的做的皮革毛毛大毛皮毛程 期毛有制为工们的毛

100151

① 打開儀器及接線工具。儀器連接線請參照《S102型電橋使用說明書》。手的儀器請參照《S102型電橋使用說明書》。手的儀器請參照《S102型電橋使用說明書》。

100141

SIMOX及GBE501法规对3.501中工况适用可能容许的泄漏量作了规定。表2-6
为工况I泄漏量工况I人口2.5人及以下,输出功率工况I人口2.5人,①使用分断器使用
加填料(见图)大量的固数加填料的泄漏量可能容许量。

[0013]

特許第053551号明細書又付M.Brulel5：「工具一小力手工具（即）由得5瓦
及工具之S01之工具」S01 Technology and devices VIII、編纂：S.
Christolaveau, The Electrochemical Society Proceedings 97-23, 1997年電
解質）又付該譯文之中國圖（附註（F）之國特許第19546179號明細書之參照）此
工具行者有其名。以多孔的圓管、導電性手數之助於工作點（尤單點是為工具）
大體分之更明晰又付專工之手之付其專BES01之工具之明細書之S01之工具。

単結晶シリコンの破壊と その結果生じる時間消費を意味する。

【0016】

本発明の課題は、極めて薄いICの製造に適し 上記の問題を回避する安価で迅速な薄い基層の製造方法を示すことである。

この課題は請求項1の方法によって解決される。本方法の有利な実施態様が從属請求項の主題である。また本方法を実施する場合の重要な基幹製品である基板配列を請求項29ないし47に示す。

【0017】

本発明に係る 以下でRevSOI (Reversible SOI [可逆SOI法])とも称する方法においては、第1及び第2の基板の前面が单数個又は複数個の介在する結合層によって結合される。その場合、結合層の少なくとも1つ又は一方の基板の前面が溝状凹陥部を有し、この溝状凹陥部によりエッティング剤が横から浸透できるように形成されている。続いて薄い基層を残して、第1の基板を背面から薄くする。最後に溝状凹陥部にエッティング剤を入れることによって、この薄い基層を第2の基板から剥離する。

両方の基板はIC製造用の半導体ウエハであることが好ましい。

【0018】

このウエハの加工は、IC又は個別部品の製造の分野で慣用のように行なわれる。溝幅（好ましくは0.1-2μm）が半導体層の有効層厚（代表的には0.5-20μm）の何分の1かである限り、ウエハの屈曲は起こらない。

【0019】

加工の後 パターンが形成された結合層は犠牲層として利用される。この層はウエハ側から隨時に、又は好適な実施形態では密封するウエハ縁端部を除去又は開放する直ちに 横から到達可能である。この除去又は開放は、特にウエハをチップに細分すると自動的に行なわれる。薄いチップをあらかじめ基板に固定することが好ましい。

【0020】

有効層とバルク層の分離は湿式化学エッティングで行なうことが好ましい。その場合エッティング剤（例えばHF）は毛管力によって溝の中に吸入される。

化学反応と表面張力が推進力である。流れの速度又は貢送される量はハーゲン・ポワズイユの法則で近似的に書け、溝の内径の4乗に関係する。大きなチップの場合又は一般に大きなウエハ区域を分断する場合は 反応産物（例えばSiF₄）の除去を超音波 遠心力 温度勾配（例えば赤外線レーザ放射によって生じる）等で促進することができる。

【0021】

またエッティング剤の給排のために有効層に垂直の穴又はスリットを設け又は食刻することができる。チップの間に作られる切込み又はのこ引き枠をエッティング剤の給排のために使用することが好ましい。

【0022】

溝状凹陥部は必ずしも直線状でなくてよい。また必ずしも長方形横断面を有しなくてもよい。特に溝の垂直の側面又は辺は表面に対して90°以外の方向をとることができる。この辺の傾きはエッティング工程 特に湿式化学エッティングでのマスクのアンダーカットの技術的特殊性の結果 ひとりでは生じる。また辺の傾斜又は辺の張出しのために特別の方法を適用することもできる。辺の張出しは結合される酸化物層の相対的拡大という利点をもたらす。エッティングによる辺の張出しを調節する方法は、半導体技術で使用される湿式及び乾式エッティング法の分野の当業者に周知のことである。

【0023】

溝を結合層でなく 又は結合層だけでなく 基板自体の全部又は一部を作ることによって、上記の方法を拡張又は変更することができる。長方形横断面の場合、これは内法幅の拡大をもたらす。実際の限度は基板の機械的挙動（熱応力によるゆがみ、そり）で決まる。

特に接合される2枚のウエハの少なくとも一方で、酸化物被覆を廃止することができる。この場合は空気に露出するウエハに必ずある天然酸化物が結合面として利用される。

【0024】

好適な実施形態では、BESOIウエハの場合2つのウエハを接合してBESOI複合体とする前に埋設絶縁層に自由に到達できることが利用される。この絶縁層は特に

結合酸化物のパターン形成のためにも到達可能である。この場合一方又は両方のウエハは代表的には厚さ約 $1\mu\text{m}$ の SiO_2 層を着持する。接合の前に一方又は両方の酸化物に溝を食刻する。その際ウエハの縁端部は連続する環状の酸化物領域を着持する。統いて両方のウエハを常法により熱で結合し、2つのウエハの一方をBESOI法で説明した慣用の減厚法(研削 エッチング イオンカット)により所望の有効層厚まで薄くする。

【0025】

統いて慣用の技術でこのBESOIウエハに回路を作製する。熱処理及び特に真空又は気相処理を使用する製造の際に、ウエハの縁端部は酸化物リングによって気密に密閉されている。回路を完成し ウエハにある連続する周縁層を開放し 又はウエハをチップに細分した後、埋設された酸化物層 特にその中にある酸化物中の溝は横から到達可能である。エッチング剤 例えばフッ化水素酸はこの溝に浸透して 結合酸化物を食刻することができる。薄いチップの剥離は 約 10mm の辺長の場合分単位で行なわれるのが通例である。機械的支持のために薄いチップの前面を事前に保持基板に固定することが好ましい。

この剥離は、チップ及びその上に集積された貴重な産物にほとんど危害を及ぼさない安価な湿式化学処理である。

【0026】

BESOIウエハの減厚加工の際の層厚チェックは、埋設された空洞(深溝)があることによって超音波顕微鏡で特に簡単に「局部的解像」により行なうことができる。

その代案としてイオンカット法を適用することができる。この方法は研削と層厚測定を回避する。

【0027】

結合層にある深溝は結合過程に好影響を及ぼす。表面に搔き傷をつけたウエハはよく結合することが知られている。これは結合過程の開始時に残留ガス 吸着された水分等が拡散しやすくなるためである。結合過程にとって水の存在は好都合である(親水性の表面)。

【0028】

ウエハの縁端部又は場合によっては種々の下部領域は横から貫通する溝がないことが好ましい。このことは図2aでも図3でもよく分かる。こうしてウエハは結合の後に密封されており 半導体部品製造の分野で適用されるすべてのプロセスに耐える。

特にBESOIボンディングは真空中で 又は特殊な酸化もしくは還元雰囲気で行うことができる。

RevSOIウエハの製造時に犠牲層又は ファスナー層が到達可能であるこの利点は、空洞を特殊なガスで充填できることである。

【0029】

有利な実施形態では微量ガス 特にヘリウムを添加してボンディング操作を行なう。封入されたガスによって、例えば結合されたウエハの特に簡単な密封検査(ヘリウム漏れテスト)を行なうことができる。

別の実施形態では高ドープの埋設層又はゲッタ層を作るためにドープガスを封入することができる。

【0030】

絶縁酸化物層に横から到達可能であるという基本的特徴を、液体又はガス状金属化合物 特に金属有機化合物で溝の不活性表面を金属化するために利用することもできる。

【0031】

次に図に関連して実施例に基づき本発明を改めて説明する。

全製造工程の流れ図の一例を図1に示す。

まず、表面に夫々酸化物層(3,4)を担持する2個のウエハ(1,2)を用意する。一方のウエハの酸化物層(4)に、全表面に延びるすじ状の溝が生じるようにパターンを形成する。パターンは1個又は2個の好ましくは無調整の写真装置により酸化物(4)に転写される。図1a及び1bに示すように 2つのウエハの酸化した表面を好ましくはSFB(silicon fusion bonding [シリコン融合ボンディング])により結合する。

【0032】

BESOI製造の場合のように、ボンディングによって生じるウエハ重積物を一方

の基板の背面から、半導体領域(1a)の所望の厚さを残して薄くするプロセスが続く(図1c)。

次に薄くなった基板(1)の半導体層(1a)に回路及び／又は個別部品(6)を作製するためには、通常のIC工程 例えばCMOS工程を行なうことができる(図1d)。

【0033】

続いて図1eに示すように、チップのその後の細分のための深溝(7)の乾式エッティング又は湿式エッティングが行なわれるが、この深溝は機械的に作製される慣用のこぎり切り口よりはるかに細幅である。深溝(7)はパターンが形成された埋設酸化物層(4)まで伸張する。深溝の機械的のこ引きも可能である。

【0034】

このエッティング工程でIC(6)の表面を保護しなければならない。これは例えば窒化物又はフォトレジストからなる層(8)を被着することによって行なわれる。この保護層(8)は次に再び引き剥がすか 又はチップの剥離処理のための保護層として残すことができる。層(8)をあらかじめ除去する場合は 図1fに示すように、剥離処理の前に好ましくはフォトレジストからなる新しい保護層(10)を被着しなければならない。

【0035】

先行する深溝エッティング加工によって溝(5)が露出するから(図1e)、好ましくはHFで行なわれる次のエッティング処理でエッティング液が溝(5)の中に浸透し 図1fで明らかのように個々のチップ(9)を下から剥離することができる。このエッティング処理では、シリコンに対する酸化物の選択性がエッティングに利用される。

【0036】

剥離の前に操作用ウエハによってウエハを前面から機械的に支持することができる。但しこの操作用ウエハはエッティング液の導入のための適当な通路を備えていなければならない。

細分された加工済みのチップ(9)を次にベース(11)の上に取付けることができる(図1g)。

【0037】

特に有利な構成を図2aに示す。図2aは使用されるウエハの平面図と横断面図を

夫々示す。2つのウエハ(1,2)は厚さ約 $1\text{ }\mu\text{m}$ の SiO_2 層(3,4)を着持する。 SiO_4 層(3,4)に約 $1\text{--}2\text{ }\mu\text{m}$ の代表的な線幅(s,b)でパターンが形成されている。一例としてパターン形成の前の出発ウエハ(1)も図の右側に示す。層のパターン形成は湿式化学法で無調整で行なわれ、従って安価に実施することができる。結晶質ウエハの異方性の機械的性質(ウエハの屈曲)によって、この SiO_2 深溝又は溝の構造と配置方向が制限される場合がある。

【0038】

本例で2つのシリコンウエハ(1,2)の層は、ウエハの接合の後に深溝が互いに 90° の角をなすようにパターン形成されている。これによってその後のエッチング処理でエッチング液の良好な分配が得られる。本例では説明のために2つの異なる深溝構造を選んだ。即ち一方のウエハ(1)の SiO_2 層は全層厚 $h1$ を貫通する深溝を有するが、他方のウエハ(2)の層の深溝は深さ $h3$ しかないから、層の残留厚さ $h2$ ($h3 + h2 = h1$)が全面的に維持される。

【0039】

最後に図2bはウエハの2つの層の構造の改良を示す。この場合はウエハの周縁区域の層は夫々パターン形成されていないから、ウエハの結合の後に密封されたウエハ重積物が生じる。

【0040】

図2に示すこのウエハは互いに結合され、図1に関連して説明するように片側から薄くされる。その結果生じるウエハは有効層として薄い半導体領域(1a)と内蔵された「ファスナー層」(“zipper layer”)を有し、本発明に係るRevSOI(Reversible SOI[可逆SOI])法の基礎をなす。

【0041】

すべての実施形態で溝(5)の幾何学的形成、特に横の経過の形状、相互に密封された区域への分割、結合する島状区域の形成等はまったく自由である。但し安定な結合のために不可欠な周辺条件である結合力とウエハ又は基板のそりを考慮するとともに、効果的なエッチング剤輸送を保証しなければならない。

【0042】

2つの基板の溝(5)の模範的な形状は長方形構造、円形、雷文状又は多角形構造で

ある。パターンは一方ではシリコン膜(1a)に最大の機械的安定性を与える他方では剥離過程をできるだけ簡単かつ迅速にしなければならない。即ちエッティング液が溝(5)に浸透した後、すべての場所でなるべく均一に作用し ICの迅速な剥離を保証しなければならない。また溝の間隔は可変である。溝(5)の異なる横断面形状の例を図3に示す。その場合基板自体の中までパターン形成を行なうことができる。

【0043】

結合層は島状のパターンを設け、又はすじ状もしくは点状に形成することができる。この場合図3には格子構造の形の島状パターンが示されている(右側:パターンが形成されていない層、左側:パターンが形成された層)。

【0044】

島状のパターンはエッティング液の良好な分配のほかに、ウエハの機械的応力が回避される利点がある。この場合溝としての連続するすじは、島状パターンを設けた結合層より大きな影響を及ぼす。

溝の横断面も上記の観点 即ちICの機械的安定性と迅速な剥離の観点で最適化することができる。

結合されるウエハ又は基板の両方又は一方にパターンを形成することができる。2つのウエハの良好な結合のためには、両者が結合層を備えるべきである。しかしこれは必要不可欠というわけではない。

【0045】

純粋な酸化物の代わりにドープした酸化物、特にCMOS法で使用されるPSG、TEO_S、PECVD、LPCVD、APCVD及びBPSG酸化物を結合層のための材料として使用することができる。これによってチップの剥離の際のエッティング速度を高めることができる。

【0046】

特にシリコンウエハの場合は分離又は剥離のための変法として陽極酸化を使用することができる。その場合絶縁層によって結合された2つのシリコンウエハ又は層に電圧が印加され この電圧が電流を生じ、陽極酸化により電極の電解を生じる。その際結合酸化物に浸透が生じ、その結果酸化物の生成とともに体積が増

加することにより、2つの部分シリコンウエハの剥離と分離が起こる。

【0047】

本発明に係るウエハの結合強度は、結合面の減少により低下している。在來のBESOIウエハの標準的結合力は $>800\text{kp/cm}^2$ であるが、図3により与えられる格子構造では結合面積係数が25%に減少しているので、結合力が約 200kp/cm^2 である。いずれにしてもその後の加工時の熱応力(チップ製造の熱収支)及びボンディングの際に封入されるガスの膨張圧(1200Kで最大4bar)に耐えるのに、この結合力で十分である。代表的には $10\mu\text{m}$ のシリコン有効厚さで代表的に $1\mu\text{m}$ の溝ウエーブ幅(ピッチ)は、有害な局部的又は全域的なそりをまったく生じない。

【図面の簡単な説明】

【図1】本発明に係る製造工程の流れ図の一例の概略図である。

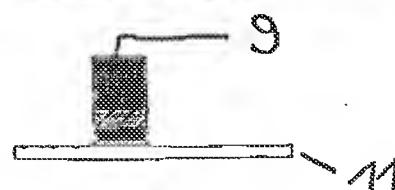
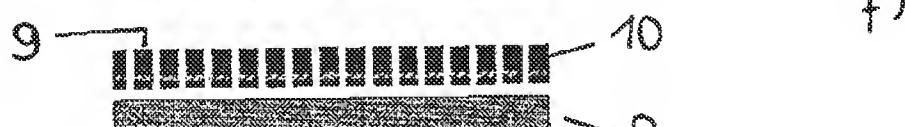
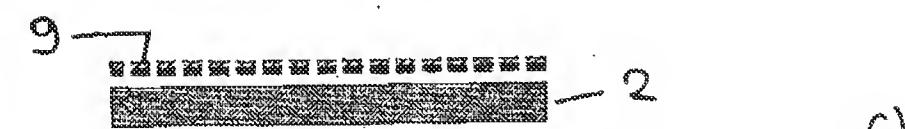
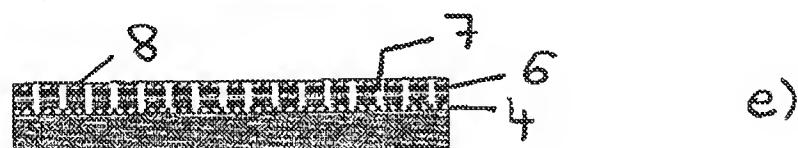
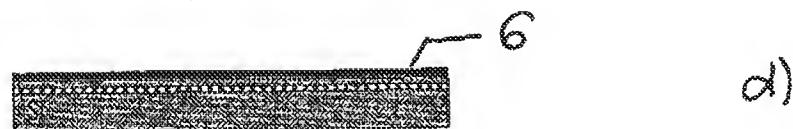
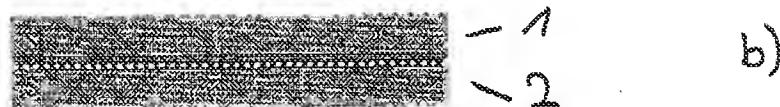
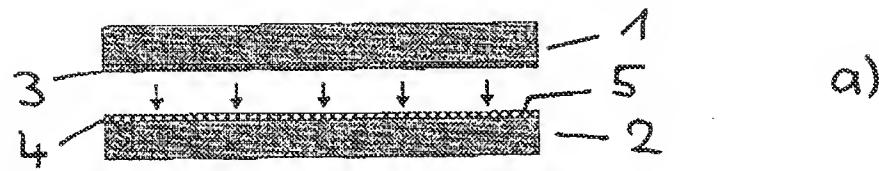
【図2】基板表面上の結合層のパターン形成の実施例の図である。

【図3】基板の結合面の溝状凹陥部のパターン形成の別の実施例及び横断面形状の実施例の図である。

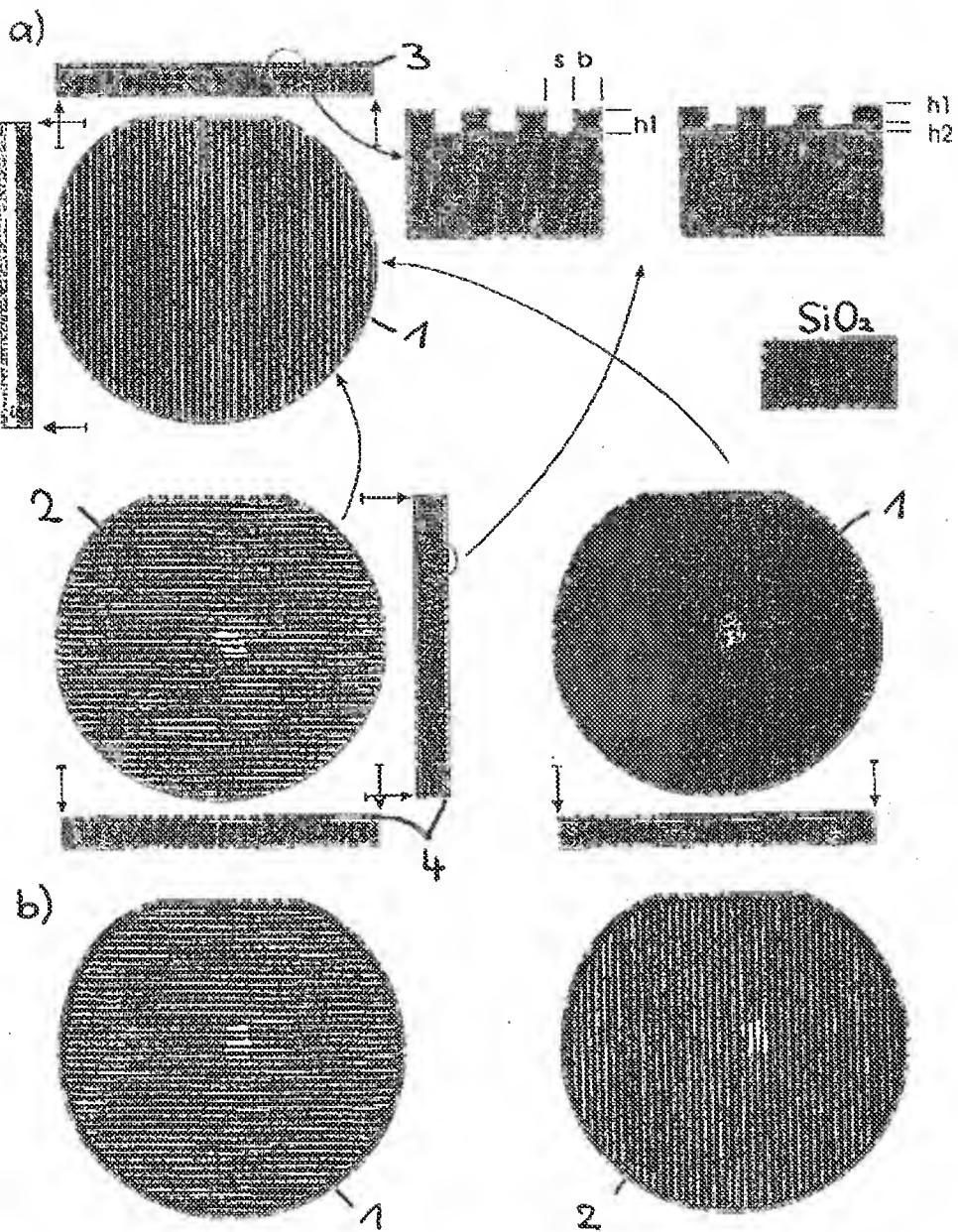
【符号の説明】

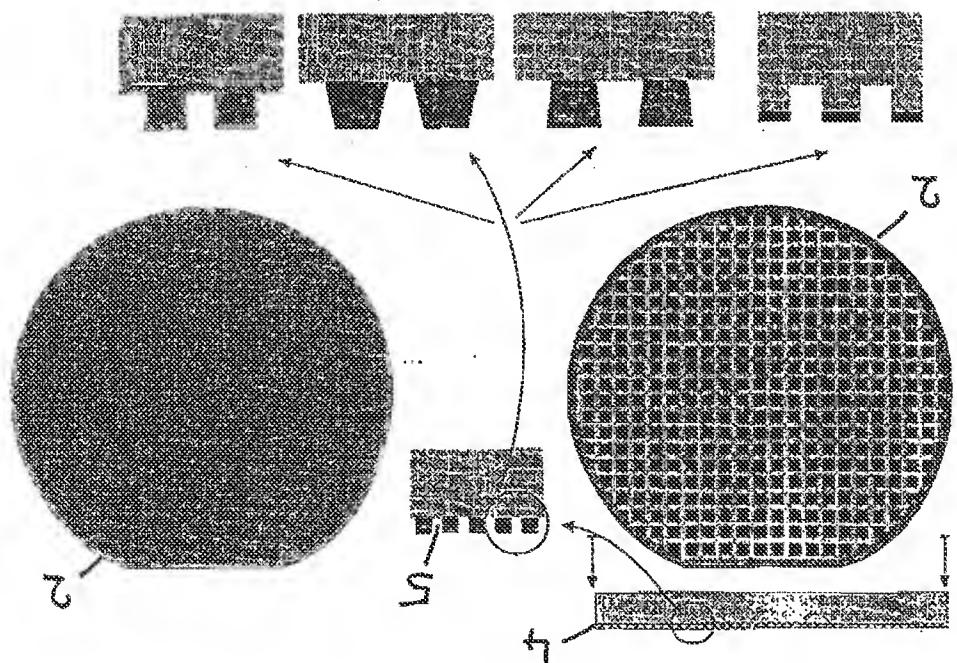
- | | |
|----|-------|
| 1 | 第1の基板 |
| 1a | 基層 |
| 2 | 第2の基板 |
| 3 | 結合層 |
| 4 | 結合層 |
| 5 | 溝状凹陥部 |

[図 1]



[図 2]





[图3]

(21) 02-519847 (P2002-519847A)

【手続補正書】

【提出日】平成13年1月18日(2001.1.18)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0047

【補正方法】変更

【補正内容】

【0047】

本発明に係るウエハの結合強度は、結合面の減少により低下している。在来のBESOIウエハの標準的結合力は $>7845 \times 10^4 \text{ Pa}$ ($>800 \text{ kp/cm}^2$)であるが、図3により与えられる格子構造では結合面積係数が25%に減少しているので、結合力が約 $1960 \times 10^4 \text{ Pa}$ (200 kp/cm^2)である。いずれにしてもその後の加工時の熱応力(チップ製造の熱収支)及びボンディングの際に封入されるガスの膨張圧(1200Kで最大 $4 \times 10^5 \text{ Pa}$ (4bar))に耐えるのに、この結合力で十分である。代表的には10μmのシリコン有効厚さで代表的に1μmの溝ウェーブ幅(ピッチ)は、有害な局部的又は全域的なそりをまったく生じない。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 - 第1の半導体基板(1)及び第2の基板(2)の前面を単数個又は複数個の介在する結合層(3~4)で結合し その際結合層(3~4)の少なくとも1つ又は一方の基板(1~2)の前面がエッティング剤の横からの浸透を可能にするような横断面を備えた溝状凹陥部(5)を有し
- 基層(1a)を残して、第1の基板(1)を背面から薄くし、
- エッティング剤を溝状凹陥部(5)に入れることによって基層(1a)を第2の基板(2)から剥離する

薄い基層の製造方法。

【請求項 2】しま模様の形の溝状凹陥部(5)を作製することを特徴とする請求項1に記載の方法。

【請求項 3】格子構造の形の溝状凹陥部(5)を作製することを特徴とする請求項1に記載の方法。

【請求項 4】溝状凹陥部(5)が結合層(3 4)を完全に貫通するようにして、溝状凹陥部(5)を結合層(3 4)に作製することを特徴とする請求項1ないし3のいずれか1つに記載の方法。

【請求項 5】 0.1 ないし $10 \mu\text{m}^2$ の範囲の横断面を有する溝状凹陥部(5)を作製することを特徴とする請求項1ないし4のいずれか1つに記載の方法。

【請求項 6】 $50 \mu\text{m}$ 未満の厚さを有する基層(1a)を残して 第1の基板(1)を薄くすることを特徴とする請求項1ないし5のいずれか1つに記載の方法。

【請求項 7】溝状凹陥部(5)が基板(1 2)の縁端まで伸張しないため、溝状凹陥部(5)が2つの基板の間に形成する間隙が基板の結合によって密封されるよう、溝状凹陥部(5)を作製することを特徴とする請求項1ないし6のいずれか1つに記載の方法。

【請求項 8】2つの基板の間に複数個の閉じた内部区域が形成され これらの内部区域が密封されるように 溝状凹陥部(5)を作製することを特徴とする請求項1ないし7のいずれか1つに記載の方法。

【請求項 9】第2の基板(2)として石英基板を使用することを特徴とする請求項1ないし8のいずれか1つに記載の方法。

【請求項 10】第1及び第2の基板(1 2)としてBESOIウエハの2つの部分基板を使用し 結合層(3 4)がBESOIウエハの絶縁層であることを特徴とする請求項1ないし8のいずれか1つに記載の方法。

【請求項 11】基層(1a)に部品及び／又は集積回路(6)を作るための処理を、剥離の前に基層(1a)に施すことを特徴とする請求項1ないし10のいずれか1つに記載の方法。

【請求項 12】結合された基板(1a 2)を剥離の前に、個別回路(6)を有する小さなユニット 特にチップに分割することを特徴とする請求項11に記載の方法

【請求項 13】結合された基板(1a 2)を剥離の前に、チップ1個又は複数倍の列幅と複数個のチップないし全基板幅の列長さを有する小さな列状のユニットに分割することを特徴とする請求項11に記載の方法。

【請求項 14】剥離の前に基層(1a)の個々の集積回路(6)の間に特にこぎり切り口の形の垂直の開口又は深溝(7)を作り、これを経てエッティング剤を送入することを特徴とする請求項1ないし11のいずれか1つに記載の方法。

【請求項 15】結合層(3 4)が酸化物層又はSiC層であることを特徴とする請求項1ないし14のいずれか1つに記載の方法。

【請求項 16】酸化物層として純粋な又はドープした形のSiO₂、特にBSG又はBPSGからなる絶縁層を使用することを特徴とする請求項15に記載の方法。

【請求項 17】エッティング剤としてフッ化水素酸又は主としてフッ化水素酸を含むエッティング液を使用することを特徴とする請求項1ないし16のいずれか1つに記載の方法。

【請求項 18】エッティング剤としてエッティングに適したガス又は2つの基板の間の空洞で電界の印加によって燃焼するプラズマを使用することを特徴とする請求項1ないし16のいずれか1つに記載の方法。

【請求項 19】2つの基板(1 2)の結合を特殊なガスの存在でボンディング操作により、このガスが溝状凹陥部(5)に封入されるようにして行なうことを特徴とする請求項1ないし18のいずれか1つに記載の方法。

【請求項 20】不活性ガス又は酸化ガス又は還元ガスを使用することを特徴とする請求項19に記載の方法。

【請求項 21】結合部の密封検査に適したガス、特にヘリウムを単独で又は混合物として使用することを特徴とする請求項19に記載の方法。

【請求項 22】基板を結合するときに溝状凹陥部(5)にシリコンドーピング用のガス、例えばPH₃、POCl又はB₂H₆を封入することを特徴とする請求項19に記載の方法。

【請求項 23】エッティング剤を圧力により溝状凹陥部(5)に通すことを特徴とする請求項1ないし22のいずれか1つに記載の方法。

【請求項 24】結合層によって連結された2つの基板に化学反応を生じさせる電流によって剥離を促進することを特徴とする請求項1ないし23のいずれか1つに記載の方法。

【請求項 25】超音波 热及び／又は遠心力によって剥離を促進し、かつ加速することを特徴とする請求項1ないし24のいずれか1つに記載の方法。

【請求項 26】溝状凹陥部(5)の横に整列された面の全部又は一部を金属含有化合物の作用により薄い金属膜で被覆することを特徴とする請求項1ないし25のいずれか1つに記載の方法。

【請求項 27】熱分解する金属有機化合物により、又は無電解もしくは電解析出により被覆を行なうことを特徴とする請求項26に記載の方法。

【請求項 28】单数個又は複数個の介在する結合層(3 4)によって前面が結合された第1の半導体基板(1)及び第2の基板(2)からなる基板配列において、結合層(3 4)の少なくとも1つ又は一方の基板の前面が溝状凹陥部(5)を有し、場合によっては細い縁端区域を除き基板の全前面にわたって連続して伸張する溝状凹陥部(5)を有する基板配列において、溝状凹陥部(5)が0.1ないし2μmの幅と、エッチング剤の横からの浸透及び凹陥部の間の結合層の急速な食刻を可能にする横断面及び相互間隔を有する基板配列。

【請求項 29】溝状凹陥部(5)がしま模様をなすことを特徴とする請求項28に記載の基板配列。

【請求項 30】溝状凹陥部(5)が格子構造をなすことを特徴とする請求項28に記載の基板配列。

【請求項 31】溝状凹陥部(5)が結合層(3 4)を完全に貫通することを特徴とする請求項28ないし30のいずれか1つに記載の基板配列。

【請求項 32】溝状凹陥部(5)が0.1ないし10μm²の範囲の横断面を有することを特徴とする請求項28ないし31のいずれか1つに記載の基板配列。

【請求項 33】溝状凹陥部(5)が基板(1 2)の縁端まで伸張しないため、溝状凹陥部が2つの基板の間に形成する間隙が密封されていることを特徴とする請求項28ないし32のいずれか1つに記載の基板配列。

【請求項 34】第1の基板(1)が薄い基層(1a)を形成することを特徴とする請

求項28ないし33のいずれか1つに記載の基板配列。

【請求項35】基層(1a)が50μm未満の厚さを有することを特徴とする請求項37に記載の基板配列。

【請求項36】第2の基板(2)が石英からなることを特徴とする請求項28ないし35のいずれか1つに記載の基板配列。

【請求項37】基層(1a)が部品及び／又は集積回路(6)を具備することを特徴とする請求項28ないし36のいずれか1つに記載の基板配列。

【請求項38】結合層(3-4)が酸化物層又はSiC層であることを特徴とする請求項28ないし37のいずれか1つに記載の基板配列。

【請求項39】結合層(3-4)が純粋な又はドープした形のSiO₂、特にBSG又はBPSGからなる絶縁層であることを特徴とする請求項28ないし37のいずれか1つに記載の基板配列。

【請求項40】溝状凹陥部(5)にガスを封入することを特徴とする請求項28ないし39のいずれか1つに記載の基板配列。

【請求項41】ガスが不活性ガス又は酸化ガス又は還元ガスであることを特徴とする請求項40に記載の基板配列。

【請求項42】ガスが基板の結合部の密封検査に適したガス 特にヘリウムであることを特徴とする請求項40に記載の基板配列。

【請求項43】溝状凹陥部(5)にシリコンドーピング用のガス 例えはPH₃ POCl又はB₂H₆を封入することを特徴とする請求項40に記載の基板配列。

【請求項44】溝状凹陥部(5)の横に整列された面の全部又は一部が薄い金属膜で被覆されていることを特徴とする請求項28ないし43のいずれか1つに記載の基板配列。

【国際調査報告】

INTERNATIONAL SEARCH REPORT

		1. <input checked="" type="checkbox"/> International application No. PCT/DE 99/01826
A. CLASSIFICATION OF SUBJECT MATTER IPC 6 H01L21/78 H01L21/20		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification scheme) IPC 6 H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data bases consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Description of document, with indication, where appropriate, of the relevant passages	Reference to claim No.
A	US 5 071 792 A (VANVORNO NICOLAAS W ET AL) 10 December 1991 (1991-12-10) column 6, line 6 -column 7, line 9	1,2,4,6, 9,10, 12-15, 29,30, 32,36-40
A	US 5 665 607 A (KAWAMA YOSHITATSU ET AL) 9 September 1997 (1997-09-09) column 13, line 43 -column 17, line 5; figures 1-3	1,2,4,8, 16-18
	----- -----	-----
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C.		<input checked="" type="checkbox"/> Patent family members are listed in annex.
* Special description of cited documents:		
'A' document defining the general state of the art which is not considered to be of particular relevance		
'E' earlier document but published on or after the International filing date		
'U' document which may raise doubt on priority, disclosure or right to be granted the publication date of another document or other special reason (as specified)		
'W' document referring to an oral disclosure, use, exhibition or other means		
'Z' documents published prior to the International filing date but later than the priority date claimed		
'T' later document published after the International filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying this invention		
'X' document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone		
'Y' document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone or when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art		
Date of the actual completion of the International search 26 November 1999		Date of mailing of the International search report 03/12/1999
Name and mailing address of the ISA European Patent Office, P.O. 5013 Patentamt 2 D-22331 Hamburg Tel. (+49-70) 940-2040, Tx 51 051 epat, Fax (+49-70) 940-2018		Authorized officer van der Linden, J.E.

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

		Entered Application No. PCT/DE 99/01626
C(Continuation) DOCUMENTS CONSIDERED TO BE IRRELEVANT		
Category *	Citation of document, with indication where appropriate, of the relevant passages	Reference to claim No.
A	SAKAGUCHI K ET AL: "Current progress in epitaxial layer transfer (ELTRAN)" IEICE TRANSACTIONS ON ELECTRONICS, JP, INSTITUTE OF ELECTRONICS INFORMATION AND COMM. ENG., TOKYO, vol. E80-C, no. 3, page 378-387 XP000751691 ISSN: 0916-8524 page 378, right-hand column, paragraph 3 -page 382, left-hand column, paragraph 2	1,6,9, 11,18
A	US 5 597 766 A (NEPPL FRANZ) 28 January 1997 (1997-01-28) column 2, line 33 -column 3, line 5	1,9, 12-17
A	EP 0 317 084 A (GRUMMAN AEROSPACE CORP) 24 May 1989 (1989-05-24) column 6, line 28 -column 7, line 17; figure 3	1,2,9, 16,17
A	MASZARA W P ET AL: "SOI materials for mainstream CMOS technology" PROCEEDINGS OF THE EIGHTH INTERNATIONAL SYMPOSIUM ON SILICON-ON-INSULATOR TECHNOLOGY AND DEVICES, PARIS, FRANCE, 31 AUG.-5 SEPT. 1997, pages 15-26, XP000656433 Electrochem. Soc., USA ISBN: I-56677-176-5 cited in the application the whole document	1
X	US 5 223 460 A (MATSUBA MASAKI ET AL) 29 June 1993 (1993-06-29)	29-37
A	column 3, line 33 -column 9, line 38; figures 2-8	1-5,7-9, 16
X	EP 0 191 476 A (TOKYO SHIBAURA ELECTRIC CO) 20 August 1986 (1986-08-20)	29,31, 33-37,40
A	page 7, line 22 -page 8, line 22; figures 3-6	1,5,7-9, 12,15
	page 9, line 27 -page 10, line 12	
X	US 5 238 866 A (EGUCHI KOUKEI) 24 August 1993 (1993-08-24)	29,30, 33, 36-38, 40-42
	column 3, line 49 -column 5, line 29; figures 3,4	
X	EP 0 366 584 A (SONY CORP) 16 May 1990 (1990-05-16)	29,30, 33, 36-38, 41,42
	column 4, line 32 -column 5, line 56; figure 1	

Form PCT/ISA/250 (continuation of second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

Information on patent family structure

Published Application No.
PCT/DE 99/01826

Patent document cited in search report		Publication date	Priority number(s)	Publication date
US 5071792	A	10-12-1991	EP 0537306 A WO 9208098 A US 5185292 A	21-04-1993 29-05-1992 09-02-1993
US 5565607	A	09-09-1997	JP 7226528 A	22-08-1995
US 5597766	A	28-01-1997	DE 4317721 C EP 0627764 A JP 7074130 A	21-07-1994 07-12-1994 17-03-1995
EP 0317084	A	24-05-1989	US 4784970 A CA 1286796 A DE 3879109 A JP 1168040 A JP 2660299 B	15-11-1988 23-07-1991 15-04-1993 03-07-1989 08-10-1997
US 5223450	A	29-06-1993	JP 3283635 A	13-12-1991
EP 0191476	A	20-08-1986	JP 1782454 C JP 4073621 B JP 61184843 A US 4710794 A	31-08-1993 24-11-1992 18-08-1986 01-12-1987
US 5238865	A	24-08-1993	JP 2764466 B JP 4132256 A JP 2813921 B JP 4132257 A	11-06-1998 06-05-1992 22-10-1998 06-05-1992
EP 0360604	A	16-05-1990	JP 2188968 A JP 2129918 A JP 2689535 B CA 2008628 A,C DE 58927871 B DE 58927871 T KR 144461 B US 5051378 A	25-07-1990 18-05-1990 10-12-1997 27-07-1990 24-04-1997 03-07-1997 17-09-1998 24-09-1991

(30))02-519847 (P2002-519847A)

フロントページの続き

Fターム(参考) 5F043 AA33 AA34 AA36 BB22 BB24
GG01 GG05
5F052 KB05